

Schaltung zur Ansteuerung eines Speichers

Die Erfindung betrifft eine Schaltung zur Ansteuerung
5 eines Speichers. Insbesondere betrifft die Erfindung eine
Schaltung nach dem Oberbegriff des Patentanspruches 1.

Bei der Bearbeitung von digitalen Videodaten ist es in
der Regel erforderlich, Datenströme zwischen
10 unterschiedlichen Bearbeitungseinheiten zu übertragen. Bei
der Datenübertragung über unterschiedliche Kanäle kann es zu
Laufzeitverschiebungen in den einzelnen Übertragungswegen
kommen. Bei Datenströmen die mit einer solchen
Laufzeitverschiebung behaftet sind, ist es daher
15 erforderlich, vor der weiteren Bearbeitung der Daten
zunächst die Datenströme zu synchronisieren. Solche
Schwierigkeiten treten beispielsweise in Filmabtastern oder
anderen Geräten zur Bearbeitung von Videodaten auf. Die
Synchronisation der Daten erfolgt in der Regel mit Hilfe
20 eines sogenannten FiFo-Speichers ("First-in, First-out"), in
welchen die Daten mit einer Schreibtaktrate eingeschrieben
werden und mit einer gegebenenfalls auch abweichenden
Lesetaktrate wieder ausgelesen werden.

25 Die genannten Schwierigkeiten sind aber nicht auf
Videodaten beschränkt, sondern treten ganz allgemein überall
dort auf, wo digitale Datenströme zwischen unterschiedlichen
Bearbeitungseinheiten übertragen werden.

30 Die Erfindung schlägt eine Schaltung vor, mit welcher
die gewünschte Synchronisation der Datenströme erreichbar
ist.

Die erfindungsgemäße Schaltung weist einen Speicher auf,
35 in welchen Eingangsdaten mit einer ersten Taktrate unter
unterschiedlichen Schreibadressen einschreibbar sowie

Ausgangsdaten mit einer zweiten Taktrate unter
unterschiedlichen Leseadressen auslesbar sind. Dem Speicher
ist ein Schreibrücksetzimpuls zuführbar, welcher die
Schreibadresse auf einen Ausgangswert zurücksetzt. Außerdem
5 ist dem Speicher ein Leserücksetzimpuls zuführbar, welcher
die Leseadresse auf einen Ausgangswert zurücksetzt.
Schließlich sind bei der erfindungsgemäßen Schaltung
Schaltmittel vorgesehen, um den Leserücksetzimpuls aus dem
Schreibrücksetzimpuls abzuleiten. Auf diese Weise ist
10 sichergestellt, dass die beiden Rücksetzimpulse nicht
gleichzeitig auftreten können.

Zweckmäßigerweise umfasst die Schaltung einen Detektor,
der dazu eingerichtet ist, aus den Eingangsdaten
15 Synchronisationsdaten zu detektieren, um den
Schreibrücksetzimpuls zu erzeugen. Die Synchronisationsdaten
sind zum Beispiel ein in die Eingangsdaten eingebettetes
Synchronisationswort.

20 Um eine feste zeitliche Beziehung der aus dem Speicher
ausgelesenen Daten in bezug auf einen leseseitigen
Startimpuls zu erzielen, kann die Schaltung ein
einstellbares Verzögerungsglied umfassen.

25 Vorteilhafterweise weist die Schaltung einen Zähler auf,
der von dem leseseitigen Startimpuls gestartet wird und
ausgehend von einem Anfangswert bis zu einem Endwert abwärts
zählt. In diesem Fall ist die Schaltung zweckmäßigerweise
mit einem Speichermittel versehen, in welchem der Wert des
30 Zählers gespeichert wird, wenn ein leseseitiger
Rücksetzimpuls auftritt.

In einer Weiterbildung der Erfindung kann zwischen dem
Speichermittel und dem einstellbaren Verzögerungsglied eine
35 Verbindung vorgesehen sein, welche dazu eingerichtet ist,

den gespeicherten Wert des Zählers als Verzögerungswert in das einstellbare Verzögerungsglied einzuschreiben. -

Bei einer Ausführungsform der Erfindung sind
5 Schaltmittel vorgesehen, um aus dem schreibseitigen Rücksetzimpuls eine Impulsflanke zu detektieren, welche die Erzeugung eines leseseitigen Rücksetzimpulses auslöst. Insbesondere kommt hierfür eine ansteigende Impulsflanke in Frage.

10

Mit Vorteil sind bei der erfindungsgemäßen Schaltung Zähler vorgesehen, welche die Schreib- bzw. Leseadresse des Speichers erzeugen. In diesem Fall ist es zweckmäßig, wenn die Zähler mit dem Schreib- bzw. Lesetakt signal getaktet
15 sind.

In der Zeichnung ist ein Ausführungsbeispiel der erfindungsgemäßen Schaltung dargestellt. Es zeigen

- 20 Fig. 1 ein schematisches Blockdiagramm der erfindungsgemäßen Schaltung,
Fig. 2 Zählerinhalte eines Zählers in der Schaltung aus Fig. 2, und
Fig. 3 ein schematisches Zeitdiagramm der Signale in der
25 Schaltung aus Fig. 1.

In Fig. 1 ist ein schematisches Blockdiagramm eines Ausführungsbeispiels der erfindungsgemäßen Schaltung für einen sogenannten FiFo-Speicher 1 ("First-in, First-out")
30 gezeigt. In Fig. 1 sind die einzelnen Funktionseinheiten zwar als getrennte Blöcke dargestellt. Das bedeutet jedoch nicht, dass diese Funktionseinheiten als einzelne elektronische Bausteine realisiert sein müssen. Vielmehr können mehrere oder auch alle Funktionseinheiten in einem
35 einzigen Baustein integriert sein.

In den Speicher 1 wird ein digitaler Eingangsdatenstrom Din mit einer Schreibtaktrate Wclk eingeschrieben. In dem Eingangsdatenstrom Din ist auch eine Synchronisationswort oder eine Synchronisationsphrase enthalten, das bzw. die von
5 einem Dekoder 2 detektiert wird. Tritt während eines Schreibtaktes eine Synchronisationphrase auf, erzeugt der Dekoder 2 an einem Ausgang 3 ein schreibseitiges Rücksetzsignal Wres, wodurch ein von dem Schreibtakt Wclk aufwärts gezählter Zähler 4 zurückgesetzt wird. Das
10 Ausgangssignal des Zählers 4 gibt die Schreibadresse Wa für die Eingangsdaten Din in dem Speicher 1 an.

Das Ausgangssignal des Dekoders 2 wird auch dem Set-Eingang eines FRS Flip-Flops 6 zugeführt, dessen Ausgang mit
15 einem D Flip-Flop 7 verbunden ist. Der Ausgang des Flip-Flops 7 ist mit einem weiteren Flip-Flop 8 sowie mit einem ersten Eingang eines UND-Gatters 9 verbunden. Der zweite Eingang des UND-Gatters 9 ist ein invertierender Eingang, der an den Ausgang des Flip-Flops 8 angeschlossen ist. Der
20 Ausgang des Flip-Flops 8 ist weiterhin mit einem Reset-Eingang des Flip-Flops 6 verbunden. Ein Lesetaktsignal Rclk ist an die Flip-Flop 7 und 8 sowie an den Speicher 1 angeschlossen.

25 Die Schaltung der Flip-Flops 6, 7, 8 und des UND-Gatters 9 bewirkt, daß der Ausgang des UND-Gatters 9 beim Auftreten einer ansteigenden Flanke des Schreibtaktsignals Wclk auf "HIGH" geht.

30 Der Ausgang des UND-Gatters 9 ist mit dem Reset-Eingang eines Zählers 11 verbunden, der ebenfalls an das Lesetaktsignal Rclk angeschlossen ist und von diesem hochgezählt wird. Im Betrieb zählt der Zähler 11 mit der Lesetaktrate Rclk solange aufwärts, bis eine ansteigende
35 Flanke des Schreibtaktsignales Wclk detektiert wird und der Zähler 11 von dem UND-Gatter auf Null zurückgesetzt wird.

Der Ausgang des Zählers 11 ist an den Speicher 1 angeschlossen und gibt die Leseadresse Ra vor, unter welcher Ausgangsdaten Dout aus dem Speicher 1 ausgelesen werden.

- 5 Um eine feste zeitliche Lage zu einem Startimpuls SyncR auf der leseseitigen Leiterplatte herzustellen, ist ein Abwärtszähler 12 vorgesehen, der mit einem Startwert Dly_S_O geladen wird, der die Phasenlage der Daten auf der Leseseite angibt. Dem Abwärtszähler 12 ist das Lesetaktsignal Rclk
- 10 zugeführt. Der Abwärtszähler 12 wird von dem Startimpuls SyncR gestartet und mit der Taktrate des Lesetaktsignales Rclk abwärts gezählt. Wenn ein leseseitiger Rücksetzimpuls Rres auftritt, wird der aktuelle Zählerstand Vdly in einem
- 15 Registers 13 gespeichert. An einen weiteren Eingang des Registers 13 ist das Ausgangssignal des UND-Gatters 9 angelegt, welches das leseseitige Rücksetzsignal bildet. Sobald eine ansteigende Flanke des Schreibtaktes Wclk auftritt, geht das Ausgangssignal des UND-Gatters 9 auf
- 20 "HIGH" und löst das Einschreiben des Zählerstandes Vdly des Abwärtszählers in das Register 13 aus. Der gespeicherte Zählerstand Vdly wird einem einstellbaren Verzögerungsglied 14 zugeführt und hat die Funktion eines Verzögerungswertes für das Verzögerungsglied 14.
- 25 Das Verzögerungsglied 14 ist zum Beispiel als Schieberegister ausgebildet, bei dem aus dem Speicher 1 ausgelesene Daten Dout an einer von dem Verzögerungswert Vdly vorgegebenen Stelle in das Register eingeschrieben werden. Die Daten werden dann mit der Taktrate des
- 30 Lesetaktes Rclk durch das Register geschoben, wodurch eine bestimmte Verzögerungszeit realisiert ist. Zu diesem Zweck ist das Verzögerungsglied 14 ebenfalls an den Lesetakt Rclk angeschlossen. Solche programmierbaren Verzögerungsglieder sind zum Beispiel von der Firma Xilinx Inc., San José,
- 35 Californien, USA erhältlich. Ein geeigneter Baustein ist zum Beispiel der Typ SRL16E.

Die Funktion des Verzögerungsgliedes 14 ist in Fig. 2 veranschaulicht. In den Zähler 12 wird ein Wert Dly_S_0 geladen und mit der Lesetaktrate Rclk abwärts gezählt. Beim Auftreten des nächsten leseseitigen Rücksetzimpulses Rres wird der Zählerstand Vdly in dem Register 13 gespeichert und in das Verzögerungsglied 14 übertragen. Das bedeutet, dass durch das Verzögerungsglied 14 eine feste Phasenbeziehung der leseseitigen Daten Dout und dem Startimpuls SyncR hergestellt wird, indem ein umso größerer Verzögerungswert Vdly in das Verzögerungsglied 14 eingeschrieben wird, je schneller ein leseseitiger Rücksetzimpuls Rres auf einen Startimpuls SyncR folgt und umgekehrt.

In Fig. 2 ist die Zeitdauer, die zwischen dem Auftreten des leseseitigen Startimpulses SyncR und dem leseseitigen Rücksetzimpuls Rres liegt, durch eine Anzahl von n Lesetaktimpulsen illustriert.

In Fig. 3 ist die zeitliche Abfolge der Signale der Signale illustriert, die zwischen den einzelnen Komponenten, der in Fig. 1 gezeigten Schaltung ausgetauscht werden.

Das im Zusammenhang mit Fig. 1 und Fig. 2 beschriebene Ausführungsbeispiel ist für Anwendungsfälle geeignet, bei denen die Rate der Eingangsdaten Din und der Ausgangsdaten Dout abgesehen von zeitlichen Schwankungen gleich ist. In diesem Fall läuft der Speicher 1 nie über und enthält immer genügend gültige Daten. Mit anderen Worten, tritt weder ein "Overflow" noch ein "Underflow" auf. Bei Anwendungen, bei denen das nicht gewährleistet ist, werden zusätzliche Steuerleistungen hinzugefügt. Auf der Schreibseite ist aus dem Stand der Technik beispielsweise ein sogenanntes "Handshake"-Signal bekannt, welches das Schreiben von Daten in den Speicher 1 nur dann zulässt, wenn freie Speicherplätze zur Verfügung stehen. Auf der Leseseite

findet häufig ein sogenanntes "Data Valid"-Signal
Verwendung, welches das Auslesen von Daten aus dem Speicher
1 nur dann zulässt, wenn in dem Speicher 1 gültige Daten zur
Verfügung stehen.

Patentansprüche

1. Schaltung zur Ansteuerung eines Speichers (1), in
welchen Eingangsdaten (Din) mit einer ersten Taktrate
(Wclk) unter unterschiedlichen Schreibadressen (Wa)
einschreibbar sowie Ausgangsdaten (RAM_Do) mit einer
zweiten Taktrate (Rclk) unter unterschiedlichen
Leseadressen (Ra) auslesbar sind, wobei den Speicher ein
Schreibrücksetzimpuls (Wres) zuführbar ist, welcher die
Schreibadresse auf einen Ausgangswert zurücksetzt, und
wobei dem Speicher ein Leserücksetzimpuls (Rres)
zuführbar ist, welcher die Leseadresse auf einen
Ausgangswert zurücksetzt, **dadurch gekennzeichnet, dass**
Schaltmittel (6, 7, 8, 9) vorgesehen sind, um den
Leserücksetzimpuls aus dem Schreibrücksetzimpuls
abzuleiten.
2. Schaltung nach Anspruch 1, **dadurch gekennzeichnet,**
dass die Schaltung einen Detektor (2) umfasst, der dazu
eingerrichtet ist, um aus den Eingangsdaten
Synchronisationsdaten zu detektieren, um den
Schreibrücksetzimpuls zu erzeugen.
3. Schaltung nach Anspruch 1, **dadurch gekennzeichnet,**
dass die Schaltung ein einstellbares Verzögerungsglied
(14) umfasst, welches eine feste zeitliche Beziehung der
ausgelesenen Daten (Dout) in bezug auf einen
leseseitigen Startimpuls (SyncR) aufweist.
4. Schaltung nach Anspruch 3, **dadurch gekennzeichnet,**
dass die Schaltung einen Zähler (12) aufweist, der von
dem Startimpuls gestartet wird und ausgehend von einem
Anfangswert bis zu einem Endwert abwärts zählt.

5. Schaltung nach Anspruch 4, **dadurch gekennzeichnet**,
dass die Schaltung mit einem Speichermittel (13) versehen ist, in welchem der aktuelle Wert (Count) des Zählers (12) gespeichert wird, wenn ein leseseitiger Rücksetzimpuls (Rres) auftritt.
6. Schaltung nach Anspruch 5, **dadurch gekennzeichnet**,
dass zwischen dem Speichermittel und dem einstellbaren Verzögerungsglied eine Verbindung vorgesehen ist, welche dazu eingerichtet ist, um den gespeicherten Wert des Zählers (Delay) als Verzögerungswert in das einstellbare Verzögerungsglied einzuschreiben.
7. Schaltung nach Anspruch 1, **dadurch gekennzeichnet**,
dass Schaltmittel (6, 7, 8, 9) vorgesehen sind, um aus dem schreibseitigen Rücksetzimpuls (Wres) eine Impulsflanke zu detektieren, welche die Erzeugung eines leseseitigen Rücksetzimpulses (Rres) auslöst.
8. Schaltung nach Anspruch 1, **dadurch gekennzeichnet**,
dass Zähler (4, 11) vorgesehen sind, welche die Schreib- bzw. Leseadresse des Speichers (1) erzeugen.
9. Schaltung nach Anspruch 8, **dadurch gekennzeichnet**,
dass die Zähler mit dem Schreib- bzw. Lesetakt signal getaktet sind.

Zusammenfassung

Es wird eine Schaltung vorgeschlagen, die einen Speicher aufweist, in welchen Eingangsdaten mit einer ersten Taktrate unter unterschiedlichen Schreibadressen einschreibbar sowie Ausgangsdaten mit einer zweiten Taktrate unter unterschiedlichen Leseadressen auslesbar sind. Dem Speicher ist ein Schreibrücksetzimpuls zuführbar, welcher die Schreibadresse auf einen Ausgangswert zurücksetzt. Außerdem ist dem Speicher ein Leserücksetzimpuls zuführbar, mit welchem die Daten in fester zeitlicher Beziehung abgegeben werden. Schließlich sind bei der vorgeschlagenen Schaltung Schaltmittel vorgesehen, um den Leserücksetzimpuls aus dem Schreibrücksetzimpuls abzuleiten. Auf diese Weise ist sichergestellt, dass die beiden Rücksetzimpulse nicht gleichzeitig auftreten können.

Fig. 1



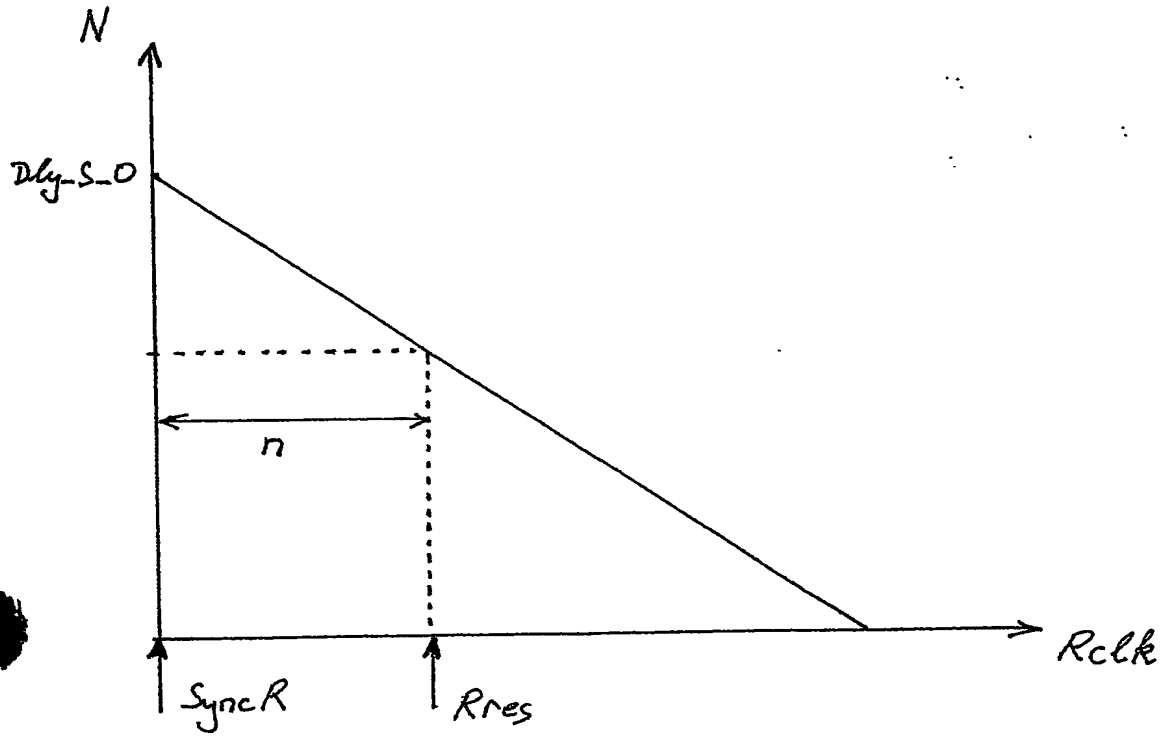


Fig. 2

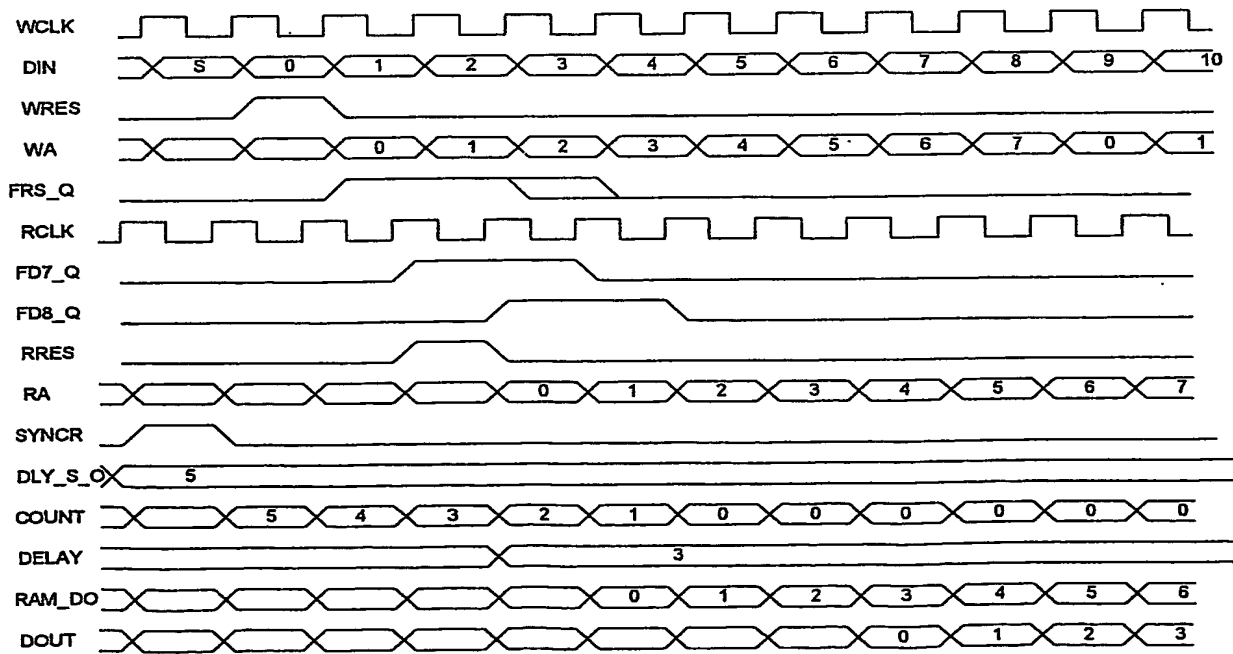


Fig. 3

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED TEXT OR DRAWING~~
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.